

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-214031

(43)Date of publication of application : 20.08.1996

(51)Int.Cl.

H04L 13/08
A63F 9/22

(21)Application number : 07-036117

(71)Applicant : SONY CORP

(22)Date of filing : 31.01.1995

(72)Inventor : **NAKANISHI KENICHI**

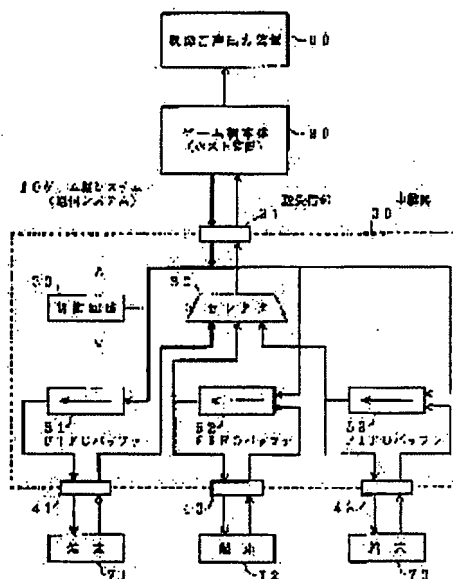
(54) COMMUNICATION SYSTEM AND COMMUNICATION REPEATER

(57)Abstract:

PURPOSE: To reduce a time when a host device is restricted by communication, to simplify the configuration of the repeater and to reduce a cost.

CONSTITUTION: In the 1st phase, a selector 32 is switched to the position of a terminal equipment 71 to allow the terminal equipment 71 to send data this time to a game machine main body 20 directly based on a low speed clock from the game machine main body 20.

Simultaneously data stored in FIFO buffers 51, 52, 53 are sent respectively to terminal equipments 71, 72, 73 and data this time from the terminal equipments 72, 73 are stored respectively to the FIFO buffers 52, 53. In the 2nd and 3rd phases, the selector 32 is switched to the position of the FIFO buffers 52, 53, the data from the terminal equipments 72, 73 stored in the FIFO buffers 52, 53 in the 1st phase are sent to the game machine main body 20 based on a high speed clock from the game machine main body 20 and data for succeeding transfer from the game machine main body 20 are stored in the FIFO buffers 52, 53.



LEGAL STATUS

[Date of request for examination]

08.12.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3299853

[Date of registration]

19.04.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-214031

(43)公開日 平成8年(1996)8月20日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 4 L 13/08

A 6 3 F 9/22

G

審査請求 未請求 請求項の数4 F D (全 8 頁)

(21)出願番号 特願平7-36117

(22)出願日 平成7年(1995)1月31日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 中西 健一

東京都港区赤坂8丁目1番22号 株式会社

ソニー・コンピュータエンタテインメント
内

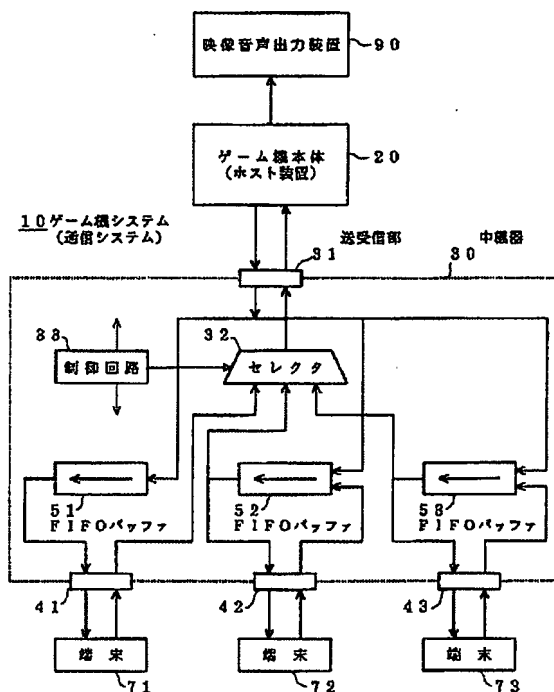
(74)代理人 弁理士 佐藤 正美

(54)【発明の名称】 通信システムおよび通信用中継器

(57)【要約】

【目的】 ホスト装置が通信に拘束される時間を短くすることができるとともに、中継器の構成を簡略化・低コスト化することができるようにする。

【構成】 第1のフェーズでは、セクタ32を端末71側に切り替えて、ゲーム機本体20からの低速のクロックにより、端末71からの今回分のデータを直接、ゲーム機本体20に送信する。同時に、前回の通信でFIFOバッファ51、52、53に蓄えたデータを、それぞれ端末71、72、73に送信するとともに、端末72、73からの今回分のデータを、それぞれFIFOバッファ52、53に蓄える。第2、第3のフェーズで、セクタ32をFIFOバッファ52、53側に切り替えて、ゲーム機本体20からの高速のクロックにより、第1のフェーズでFIFOバッファ52、53に蓄えた端末72、73からのデータをゲーム機本体20に送信するとともに、ゲーム機本体20からの次回分のデータをFIFOバッファ52、53に蓄える。



【特許請求の範囲】

【請求項 1】中継器を介して、ホスト装置と、このホスト装置の通信速度より遅い通信速度の複数の端末との間で通信を行う通信システムにおいて、

同一の期間において、一部の端末からのデータを上記ホスト装置に低速実時間で送信するとともに、他の端末からのデータを上記中継器に蓄えておき、

その期間のあとに、上記中継器に蓄えられたデータを上記ホスト装置に高速で送信する通信システム。

【請求項 2】当該中継器に接続されるそれぞれの端末に対応する複数のバッファメモリを備え、

同一の期間において、一部の端末からのデータを当該中継器に接続されるホスト装置に低速実時間で送信するとともに、他の端末からのデータを他の端末に対応する上記バッファメモリに蓄えておき、

その期間のあとに、上記バッファメモリに蓄えたデータを上記ホスト装置に高速で送信する通信用中継器。

【請求項 3】上記低速実時間での通信と上記高速での通信が、1つの通信パケット中でなされる請求項 2 に記載の通信用中継器。

【請求項 4】当該中継器と上記ホスト装置との間の通信のために上記ホスト装置から当該中継器に供給される転送クロックが、すべての端末への転送クロックとして用いられる請求項 2 に記載の通信用中継器。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】この発明は、中継器を介してホスト装置と複数の端末との間で通信を行う通信システム、およびその中継器に関する。

【0002】

【従来の技術】中継器を介してホスト装置と複数の端末との間で通信を行う通信システムでは、ホスト装置の通信速度よりも端末の通信速度が遅いことがある。

【0003】例えば、家庭用ゲーム機システムは、従来一般に、ゲーム機本体に直接、端末を接続して、ゲーム機本体と端末との間で通信を行うようになっている。これに対して最近、複数の者が同時にゲームをすることができるよう、ゲーム機本体に中継器を接続し、その中継器に同時に複数の端末を接続できるようにして、中継器を介してホスト装置であるゲーム機本体と複数の端末との間で通信を行うようにしたものと考えられ、市販されている。この場合、端末の低コスト化をはかるなどの理由から、端末の通信速度がホスト装置であるゲーム機本体の通信速度よりも遅いことがある。

【0004】このように、中継器を介してホスト装置とホスト装置の通信速度より遅い通信速度の複数の端末との間で通信を行う場合の通信方法としては、従来、次の 2 つの方法のいずれかがとられている。

【0005】第 1 の方法は、まず図 10 (A) の矢印 1 a で示すように、中継器 2 を介してホスト装置 3 と第 1

の端末 4 との間で、端末 4 の通信速度に合う低速実時間で通信を行い、次に図 10 (B) の矢印 1 b で示すように、中継器 2 を介してホスト装置 3 と第 2 の端末 5 との間で、同様に低速実時間で通信を行い、次に図 10

(C) の矢印 1 c で示すように、中継器 2 を介してホスト装置 3 と第 3 の端末 6 との間で、同様に低速実時間で通信を行う、というように、中継器 2 を介してホスト装置 3 と複数の端末 4 ~ 6 との間で、異なる期間に順次、それぞれ低速実時間で通信を行う方法である。

【0006】第 2 の方法は、端末からホスト装置へのデータ転送については、まず図 11 (A) の矢印 7 a, 7 b, 7 c で示すように、それぞれの端末 4, 5, 6 からのデータを中継器 2 に低速で一度に送信して中継器 2 に蓄えておき、次に図 11 (B) の矢印 8 で示すように、その蓄えた全データを中継器 2 からホスト装置 3 に高速で送信する方法である。

【0007】ホスト装置 3 から端末 4, 5, 6 へのデータ転送については、まず、それぞれの端末 4, 5, 6 へのデータをホスト装置 3 から中継器 2 に高速で送信して中継器 2 に蓄えておき、次に、その蓄えたそれぞれの端末 4, 5, 6 へのデータを中継器 2 から端末 4, 5, 6 に低速で一度に送信する。

【0008】

【発明が解決しようとする課題】しかしながら、従来の第 1 の通信方法は、ホスト装置 3 と複数の端末 4 ~ 6 との間で、異なる期間に順次、それぞれ低速実時間で通信を行うので、ホスト装置 3 が通信に拘束される時間が長くなる欠点がある。

【0009】また、従来の第 2 の通信方法は、端末 4 ~ 6 と中継器 2 との間でホスト装置 3 が関与しないデータ転送がなされるので、中継器 2 内に独立したタイミング発生回路を設けて、これからそれぞれの端末 4 ~ 6 に転送クロックを供給しなければならず、中継器 2 の構成が複雑かつ高コストになる欠点がある。

【0010】そこで、この発明は、中継器を介してホスト装置とホスト装置の通信速度より遅い通信速度の複数の端末との間で通信を行う通信システム、およびその中継器において、ホスト装置が通信に拘束される時間を短くすることができるとともに、ホスト装置から中継器に供給される転送クロックをそのまますべての端末への転送クロックとして用いることができ、これにより中継器内に独立したタイミング発生回路などを必要とせず、中継器の構成を簡略化・低コスト化することができるようにしたものである。

【0011】

【課題を解決するための手段】請求項 1 の発明では、中継器を介して、ホスト装置と、このホスト装置の通信速度より遅い通信速度の複数の端末との間で通信を行う通信システムにおいて、同一の期間において、一部の端末からのデータを上記ホスト装置に低速実時間で送信する

とともに、他の端末からのデータを上記中継器に蓄えておき、その期間のあとに、上記中継器に蓄えられたデータを上記ホスト装置に高速で送信する。

【0012】請求項2の発明では、通信用の中継器として、当該中継器に接続されるそれぞれの端末に対応する複数のバッファメモリを設け、同一の期間において、一部の端末からのデータを当該中継器に接続されるホスト装置に低速実時間で送信するとともに、他の端末からのデータを他の端末に対応する上記バッファメモリに蓄えておき、その期間のあとに、上記バッファメモリに蓄えたデータを上記ホスト装置に高速で送信する。

【0013】

【作用】上記のように構成した請求項1の発明の通信システムおよび請求項2の発明の通信用中継器においては、一部の期間では一部の端末からのデータがホスト装置に低速実時間で送信されるが、その期間のあとの期間では前の期間に中継器に蓄えられた他の端末からのデータがホスト装置に高速で送信されるので、ホスト装置が通信に拘束される時間が短くなる。

【0014】しかも、一部の端末からのデータをホスト装置に低速実時間で送信するには、ホスト装置から中継器に供給される転送クロックをそのままその一部の端末への転送クロックとして用いることができるとともに、その転送クロックをそのまま用いて他の端末からのデータを中継器に蓄えることができるので、中継器内に独立したタイミング発生回路などを必要とせず、中継器の構成を簡略化・低コスト化することができる。

【0015】

【実施例】この発明の通信システムおよびその中継器の一例を、1ビットごとの同期通信、8ビットごとの非同期通信による、三端末の双方向シリアル通信の家庭用ゲーム機システムおよびその中継器の場合を例として、以下に示す。

【0016】図1は、そのゲーム機システムおよびその中継器の例を示し、通信システムとしてのゲーム機システム10は、ホスト装置としてのゲーム機本体20が、その処理結果の映像および音声を出力して操作者に示す映像音声出力装置90に接続され、ゲーム機本体20に中継器30が接続され、中継器30に端末71、72、73が接続されて構成される。

【0017】中継器30は、送受信部31、41、42、43、バッファメモリとしてのFIFOバッファ51、52、53、セクタ32および制御回路33を備えるものとして構成される。

【0018】送受信部31は、ゲーム機本体20からのデータをシリアル通信により中継器30に受信するとともに、中継器30からのデータをシリアル通信によりゲーム機本体20に送信する。また、ゲーム機本体20からは送受信部31を介して中継器30に、後述するようなシリアル転送クロックが送信される。

【0019】送受信部41、42、43は、それぞれ上記のゲーム機本体20から中継器30に送信された転送クロックによって、それぞれ中継器30からのデータをシリアル通信により端末71、72、73に送信するとともに、端末71、72、73からのデータをシリアル通信により中継器30に受信する。

【0020】FIFOバッファ51、52、53は、それぞれ端末71、72、73に対応するもので、FIFOバッファ51には、ゲーム機本体20からのデータが書き込まれ、FIFOバッファ51からのデータは、端末71に送信される。

【0021】FIFOバッファ52には、ゲーム機本体20または端末72からのデータが書き込まれ、FIFOバッファ52からのデータは、端末72またはゲーム機本体20に送信される。FIFOバッファ53には、ゲーム機本体20または端末73からのデータが書き込まれ、FIFOバッファ53からのデータは、端末73またはゲーム機本体20に送信される。

【0022】セクタ32は、端末71からのデータ、FIFOバッファ52からのデータ、およびFIFOバッファ53からのデータを、後述するように順次選択して、送受信部31を介してゲーム機本体20に送信するものである。

【0023】制御回路33は、上記のゲーム機本体20から中継器30に送信された転送クロックからタイミング信号を生成して、送受信部31、41～43を制御し、セクタ32を後述するように切り替え、FIFOバッファ51～53を制御するものである。

【0024】上記のような構成のゲーム機システム10の動作を、図2～図9を用いて示す。

【0025】中継器30を介してゲーム機本体20と端末71～73との間で繰り返し通信を行った後の、図2の時点t1においては、図3に示すように、FIFOバッファ51、52、53には、それぞれ前回、ゲーム機本体20から送信された1バイトのデータA1、B1、C1が蓄えられている。

【0026】この状態から、中継器30を介してゲーム機本体20と端末71～73の間では、1つの通信パケット中で以下の3つのフェーズにより通信がなされる。

【0027】第1のフェーズは、図2の期間P1で示すような、それぞれの端末71～73へのデータの送信を伴う低速でのデータ転送である。

【0028】すなわち、期間P1では、ゲーム機本体20からの転送クロックCKが低速のクロックCK1とされるとともに、中継器30のセクタ32が端末71からのデータを選択する状態に切り替えられて、図4にも示すように、端末71からの今回分のデータa1がFIFOバッファ51に蓄えられることなく直接、ゲーム機本体20に送信される。

【0029】同時に、前回の通信でFIFOバッファ51に蓄えられたデータA1が端末71に送信されるとともに、ゲーム機本体20からの次回分のデータA2がFIFOバッファ51に蓄えられる。

【0030】さらに同時に、前回の通信でFIFOバッファ52、53に蓄えられたデータB1、C1がそれぞれ端末72、73に送信されるとともに、端末72、73からの今回分のデータb1、c1がそれぞれFIFOバッファ52、53に蓄えられる。

【0031】第1のフェーズの終了時点である、図2の時点t2においては、図5に示すように、FIFOバッファ51にはゲーム機本体20から送信された1バイトのデータA2が、FIFOバッファ52、53にはそれぞれ端末72、73から送信された1バイトのデータb1、c1が、それぞれ蓄えられることになる。

【0032】第2のフェーズは、図2の期間P2で示すような、端末72からのデータの中継器30からゲーム機本体20への高速の転送である。

【0033】すなわち、期間P2では、ゲーム機本体20からの転送クロックCKが高速のクロックCK2とされるとともに、中継器30のセクタ32がFIFOバッファ52からのデータを選択する状態に切り替えられて、図6にも示すように、第1のフェーズにおいてFIFOバッファ52に蓄えられた端末72からのデータb1が、FIFOバッファ52からゲーム機本体20に送信される。同時に、ゲーム機本体20からの次回分のデータB2がFIFOバッファ52に蓄えられる。

【0034】第2のフェーズの終了時点である、図2の時点t3においては、図7に示すように、FIFOバッファ51、52にはそれぞれゲーム機本体20から送信された1バイトのデータA2、B2が、FIFOバッファ53には端末73から送信された1バイトのデータc1が、それぞれ蓄えられることになる。

【0035】第3のフェーズは、図2の期間P3で示すような、端末73からのデータの中継器30からゲーム機本体20への高速の転送である。

【0036】すなわち、期間P3では、ゲーム機本体20からの転送クロックCKが期間P2と同様に高速のクロックCK2とされるとともに、中継器30のセクタ32がFIFOバッファ53からのデータを選択する状態に切り替えられて、図8にも示すように、第1のフェーズにおいてFIFOバッファ53に蓄えられた端末73からのデータc1が、FIFOバッファ53からゲーム機本体20に送信される。同時に、ゲーム機本体20からの次回分のデータC2がFIFOバッファ53に蓄えられる。

【0037】第3のフェーズの終了時点である、図2の時点t4においては、図9に示すように、FIFOバッファ51、52、53には、それぞれゲーム機本体20から送信された1バイトのデータA2、B2、C2が蓄

えられることになる。

【0038】このように、上述した例によれば、期間P1では端末71からのデータa1がゲーム機本体20に低速実時間で送信されるが、期間P1のあとの期間P2、P3では期間P1に中継器30のFIFOバッファ52、53に蓄えられた端末72、73からのデータb1、c1がゲーム機本体20に高速で送信されるので、ゲーム機本体20が通信に拘束される時間が短くなる。

【0039】しかも、端末71からのデータa1をゲーム機本体20に低速実時間で送信するには、ゲーム機本体20から中継器30に供給される転送クロックCK1をそのままその端末71への転送クロックとして用いることができるとともに、その転送クロックCK1をそのまま用いて端末72、73からのデータb1、c1をFIFOバッファ52、53に蓄えることができるので、中継器30内に独立したタイミング発生回路などを必要とせず、中継器30の構成を簡略化・低コスト化することができる。

【0040】また、中継器30内のクロックCKを単一にすることができるので、中継器30の設計をより容易にすることができるのと同時に、すべての端末71、72、73からのデータa1、b1、c1のゲーム機本体20への送信タイミングを完全に一致させることができる。

【0041】なお、中継器に接続できる端末は、2個または4個以上とすることができる。中継器に最大4個の端末を接続できるようにする場合には、上述した第1のフェーズにおいて、同時に前回の通信で4番目の端末に対応するFIFOバッファに蓄えられたデータが4番目の端末に送信されるとともに、4番目の端末からの今回分のデータが4番目の端末に対応するFIFOバッファに蓄えられ、上述した第3のフェーズのあとの第4のフェーズにおいて、第1のフェーズにおいて4番目の端末に対応するFIFOバッファに蓄えられてた4番目の端末からのデータが4番目の端末に対応するFIFOバッファからゲーム機本体に送信されるとともに、ゲーム機本体からの次回分のデータが4番目の端末に対応するFIFOバッファに蓄えられるようにすればよい。

【0042】また、この発明は、家庭用ゲーム機システム、およびその中継器に限らず、中継器を介してホスト装置と複数の端末との間で通信を行う通信システム、およびその中継器に広く適用することができる。

【0043】

【発明の効果】 上述したように、この発明によれば、ホスト装置が通信に拘束される時間を短くすることができるのと同時に、中継器内に独立したタイミング発生回路などを必要とせず、中継器の構成を簡略化・低コスト化することができる。

【図面の簡単な説明】

【図1】 この発明の通信システムおよびその中継器の一

例を示す機能ブロック図である。

【図2】その動作の説明に供するタイムチャートである。

【図3】その動作の説明に供する図である。

【図4】その動作の説明に供する図である。

【図5】その動作の説明に供する図である。

【図6】その動作の説明に供する図である。

【図7】その動作の説明に供する図である。

【図8】その動作の説明に供する図である。

【図9】その動作の説明に供する図である。

【図10】従来の第1の通信方法を示す図である。

【図11】従来の第2の通信方法を示す図である。

【符号の説明】

10 ゲーム機システム（通信システム）

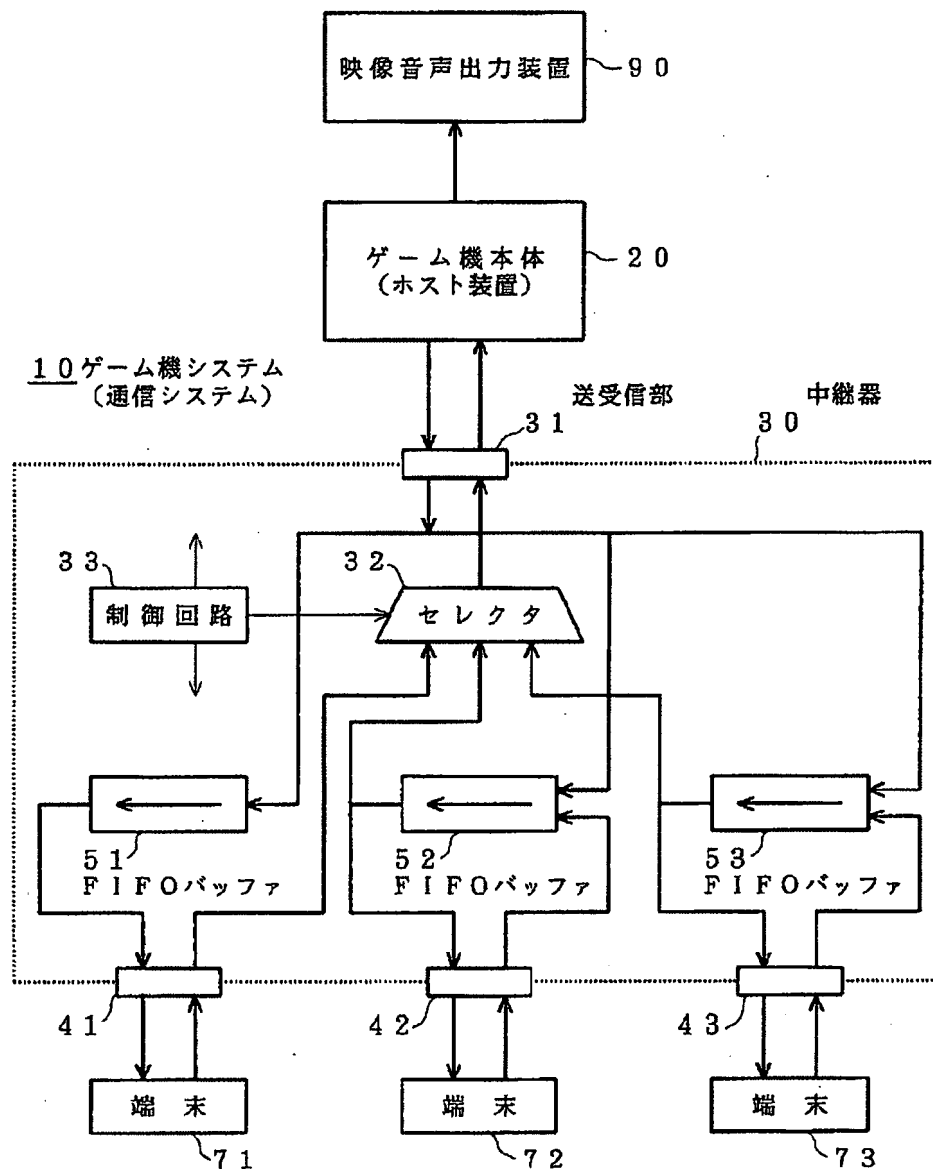
20 ゲーム機本体（ホスト装置）

30 中継器

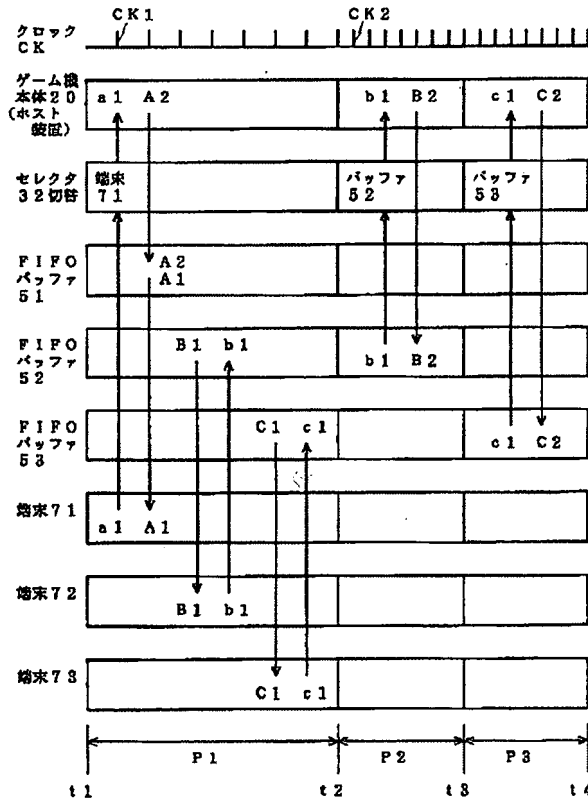
51～53 F I F Oバッファ（バッファメモリ）

71～73 端末

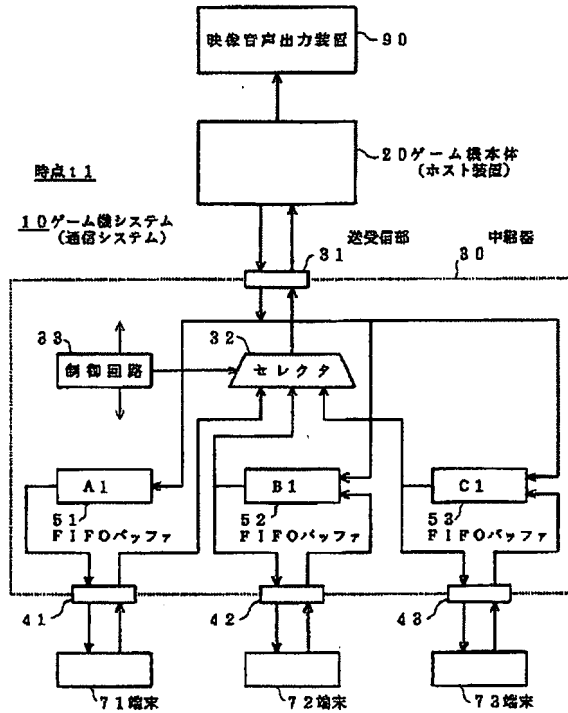
【図1】



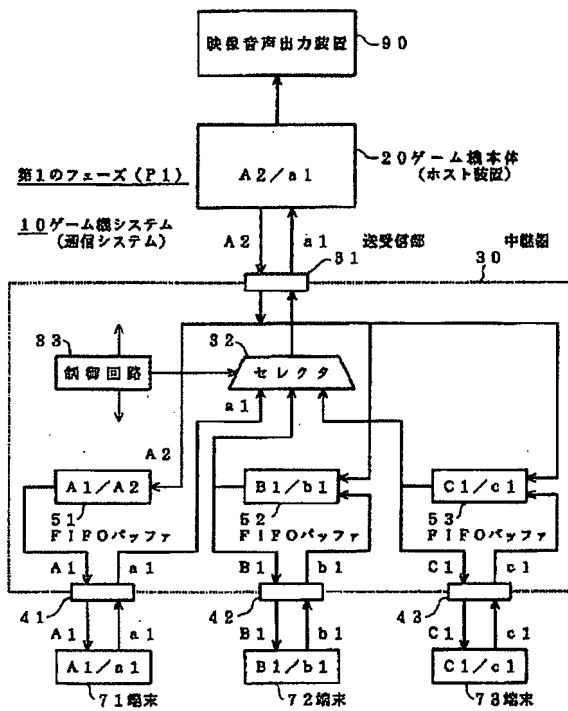
【図2】



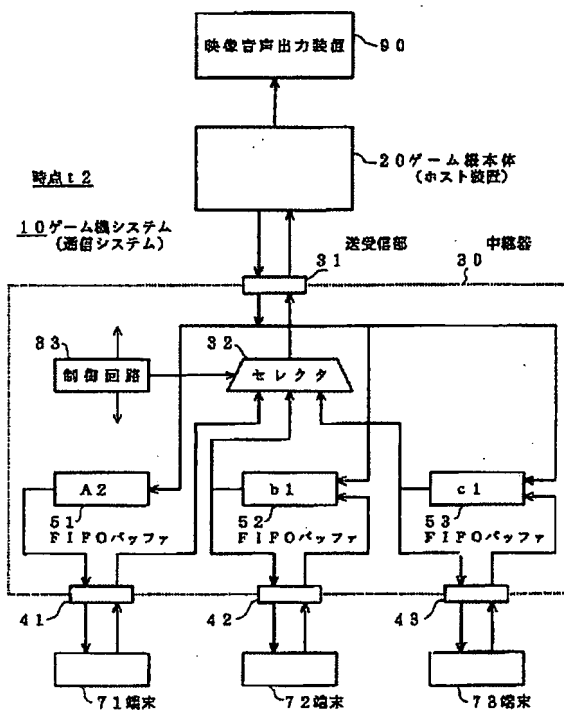
【図3】



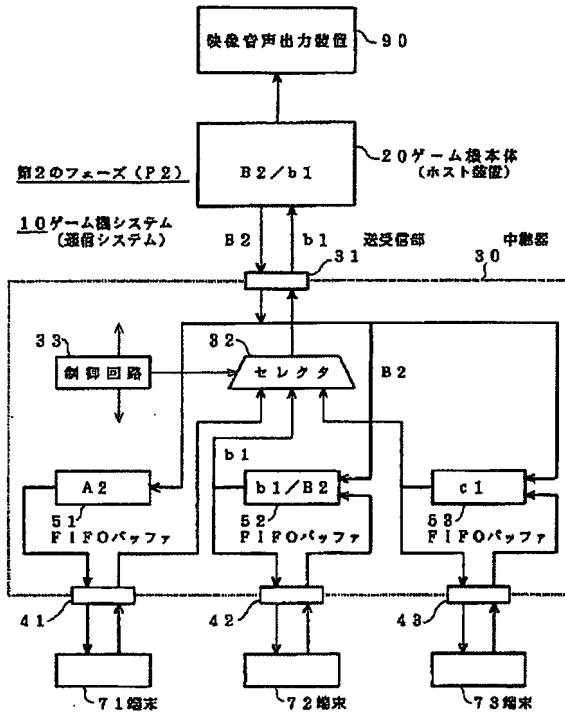
【図4】



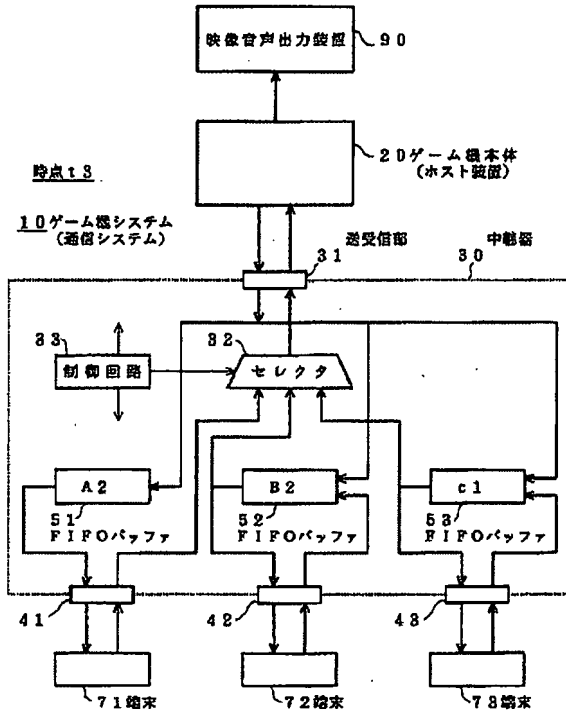
【図5】



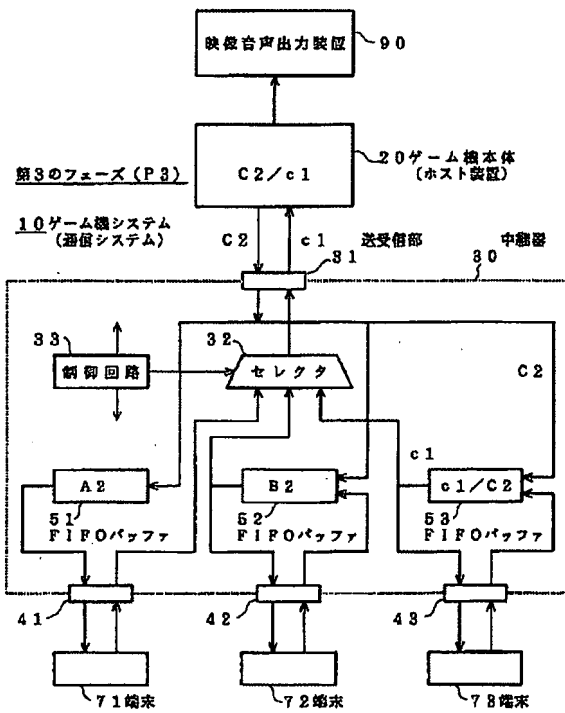
【図6】



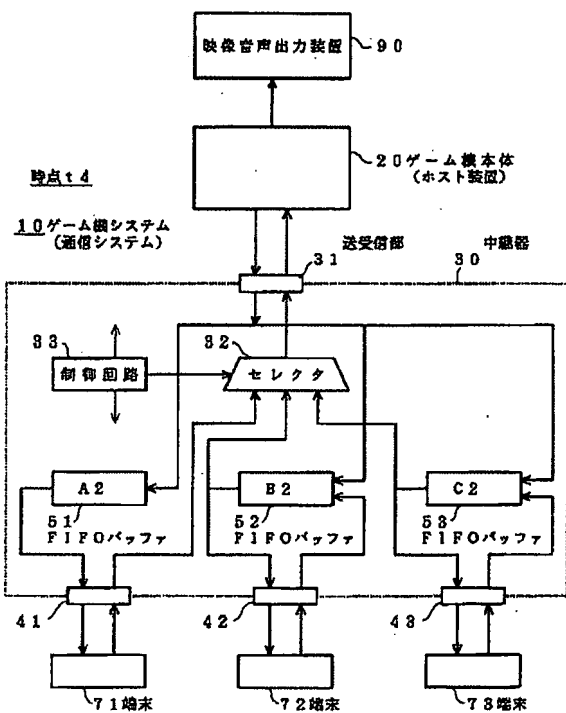
【図7】



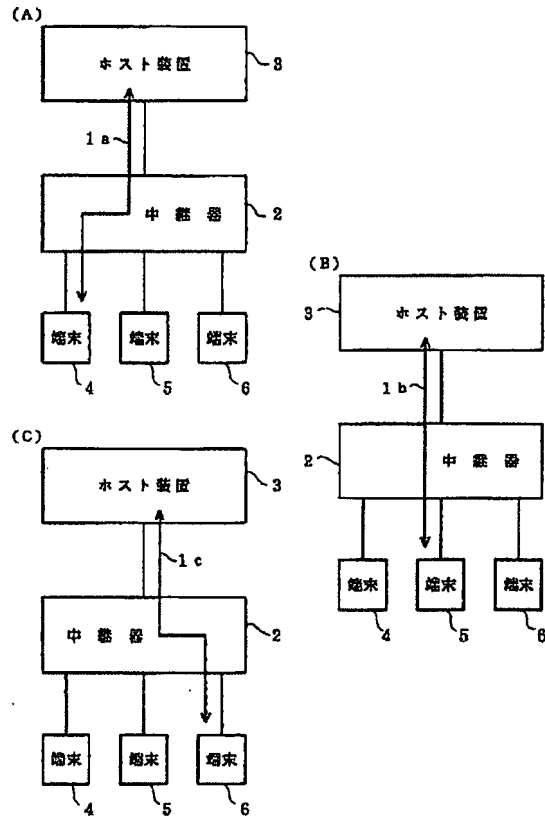
【図8】



【図9】



【図 10】



【図 11】

